



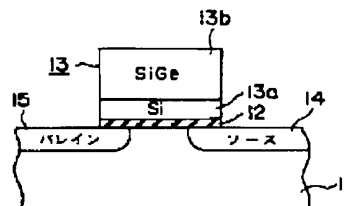
PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07202178 A**(43) Date of publication of application: **04 . 08 . 95**(51) Int. Cl. **H01L 29/78**(21) Application number: **05351053**(71) Applicant: **TOSHIBA CORP**(22) Date of filing: **28 . 12 . 93**(72) Inventor: **NIITSU YOICHIRO****(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF****(57) Abstract:**

PURPOSE: To provide a method of manufacturing a MOS transistor which is used for realizing an LSI of low power consumption, wherein the MOS transistor can be kept proper in threshold voltage as prescribed even if a substrate is low in impurity concentration.

CONSTITUTION: A gate insulating film 12 of thickness 70nm or so is formed on a silicon substrate 11. A polycrystalline silicon film 13a is deposited thereon as thick as 50nm through a chemical evaporation method, and then a gate electrode 13 is formed through plasma etching. A polycrystalline silicon-germanium film 13b is selectively and epitaxially grown as thick as 0.3 μ m or so on the polycrystalline silicon film 13a through a low-pressure chemical vapor deposition method. As mentioned above, the gate electrode 13 has a two-layered structure composed of the polycrystalline silicon film 13a and the polycrystalline silicon-germanium film 13b, so that a transistor whose S factor is less than 70mV/dec can be realized.

COPYRIGHT: (C)1995,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 許出願公開番号

特開平7-202178

(43) 公開日 平成7年(1995)8月4日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F 1	技術表示箇所
H 0 1 L 29/78		7514-4M	H 0 1 L 29/ 78	3 0 1 G

審査請求 未請求 請求項の数6 F D (全 12 頁)

(21) 出願番号 特願平5-351053

(22) 出願日 平成5年(1993)12月28日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 新津 陽一郎

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

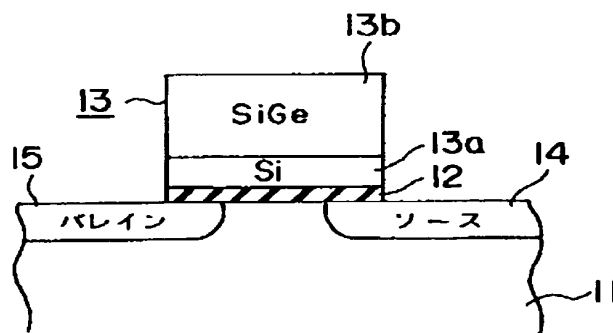
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【目的】本発明は、低消費電力用LSIを実現するMOS型トランジスタおよびその製造方法において、基板の不純物濃度が低濃度であっても、所定のしきい値電圧を維持できるようにすることを最も主要な特徴とする。

【成】たとえば、シリコン基板11上に、約70nm厚のゲート絶縁膜12を形成する。そして、その上に、50nm厚の多結晶シリコン膜13aを化学蒸着法により堆積した後、プラズマエッチングによりゲート電極13を形成する。また、多結晶シリコン膜13aの上に、低圧化学蒸着法により0.3μm厚程度の多結晶シリコン-ゲルマニウム膜13bを選択的にエピタキシャル成長させる。こうして、ゲート電極13を、多結晶シリコン膜13aと多結晶シリコン-ゲルマニウム膜13bとからなる二層構造とすることで、Sファクタの値が70mV/déc以下のトランジスタを実現する構成となっている。



【特許請求の範囲】

【請求項1】 ゲート絶縁膜上に、多結晶シリコン膜および多結晶シリコンゲルマニウム膜からなる二層構造のゲート電極を有してなることを特徴とする半導体装置。

【請求項2】 半導体基板上にゲート絶縁膜を形成する工程と、
このゲート絶縁膜上に多結晶シリコン膜を堆積する工程と、
この多結晶シリコン膜をゲート電極形状に加工する工程と、

このゲート電極形状の多結晶シリコン膜の上に多結晶シリコンゲルマニウム膜を堆積する工程とからなることを特徴とする半導体装置の製造方法。

【請求項3】 ゲート絶縁膜上に、多結晶シリコン膜、多結晶シリコンゲルマニウム膜、および多結晶高融点金属-半導体合金膜からなる三層構造のゲート電極を有してなることを特徴とする半導体装置。

【請求項4】 半導体基板上にゲート絶縁膜を形成する工程と、
このゲート絶縁膜上に多結晶シリコン膜を堆積する工程と、
この多結晶シリコン膜をゲート電極形状に加工する工程と、

このゲート電極形状の多結晶シリコン膜の上に多結晶シリコンゲルマニウム膜を堆積する工程と、
この多結晶シリコンゲルマニウム膜の上に多結晶高融点金属-シリコン膜を堆積する工程とからなることを特徴とする半導体装置の製造方法。

【請求項5】 半導体基板上にゲート絶縁膜を形成する工程と、
このゲート絶縁膜上に多結晶シリコン膜を堆積する工程と、
この多結晶シリコン膜をゲート電極形状に加工する工程と、

このゲート電極形状の多結晶シリコン膜の上に多結晶シリコンゲルマニウム膜を堆積する工程と、
この多結晶シリコンゲルマニウム膜の上に多結晶高融点金属膜を堆積する工程と、
この多結晶高融点金属膜および前記多結晶シリコンゲルマニウム膜により多結晶高融点金属-半導体合金膜を形成する工程とからなることを特徴とする半導体装置の製造方法。

【請求項6】 半導体基板上にゲート絶縁膜を形成する工程と、
このゲート絶縁膜上に多結晶シリコン膜を堆積する工程と、
この多結晶シリコン膜をゲート電極形状に加工する工程と、

このゲート電極形状の多結晶シリコン膜の上に多結晶シ

リコンゲルマニウム膜を堆積する工程と、
この多結晶シリコンゲルマニウム膜を含む、前記半導体基板の表面に多結晶高融点金属膜を堆積する工程と、

この多結晶高融点金属膜と、これに接触する前記多結晶シリコンゲルマニウム膜とを反応させて多結晶高融点金属-半導体合金膜を形成する工程と、
未反応の前記多結晶高融点金属膜を除去する工程とからなることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、たとえばMIS (Metal Insulator Semiconductor) 構造を有する半導体装置およびその製造方法に関するもので、特に低消費電力用LSI (Large Scale Integrated Circuit) に使用されるものである。

【0002】

【従来の技術】たとえば、MIS型半導体装置において低消費電力用LSIを実現するには、MISTランジスタにゲート電圧を印加しないときに流れるドレイン電流をなるべく小さくする必要がある。

【0003】従来、このためには、MISTランジスタのサブスレショルド特性の改善が重要であるとの認識により、SOI (Silicon on Insulator) 構造やSJET (Shallow-Junction-well Transistor) 構造などが提案されている。

【0004】なお、SJET構造の詳細については、たとえば「Tomohisa. Mizuno, "Analytical Model for High-Performance Shallow-Junction-well Transistor (SJET) with a Fully Depleted Channel Structure", IEEE TRANSACTIONS ONELECTRON DEVICE S. VOL. 4, NO. 1, JANUARY 1993」に記載されている。

【0005】これらの提案によって、サブスレショルド特性の目安となるSファクタ (小さいほど良い) は70mV/decまで改善 (従来構造では90mV/dec) されている。

【0006】さらに、Sファクタを改善するためには、基板の不純物濃度を低下させる必要がある。

【0007】しかしながら、基板の不純物濃度を低下させると、それにとまってトランジスタのしきい値電圧も低下されるため、トランジスタが十分にカットオフしなくなるという問題が生じる。

【0008】このため、従来、ゲート電極材料として用いられてきたN型多結晶シリコンにかえてP型多結晶シ

リコンを用いると、今度は、しきい値電圧が上昇し過ぎてオンしなくなるという問題がある。

【0009】

【発明が解決しようとする課題】上記したように、従来においては、Sファクタを改善しようと基板の不純物濃度を低下させると、ゲート電極材料がN型多結晶シリコンの場合には、それにともなってトランジスタのしきい値電圧も低下されるためにトランジスタが十分にカットオフしなくなり、P型多結晶シリコンの場合には、逆にしきい値電圧が上昇し過ぎてオンしなくなるという問題

があった。

【0010】そこで、この発明は、基板の不純物濃度を低下させても所定のしきい値電圧を維持でき、より低い消費電力を達成することが可能な半導体装置およびその製造方法を提供することを目的としている。

【0011】

【課題を解決するための手段】上記の目的を達成するために、この発明の半導体装置にあつては、ゲート絶縁膜上に、多結晶シリコン膜および多結晶シリコン—ゲルマニウム膜からなる二層構造のゲート電極を有してなる構成とされている。

【0012】また、この発明の半導体装置の製造方法にあつては、半導体基板上にゲート絶縁膜を形成する工程と、このゲート絶縁膜上に多結晶シリコン膜を堆積する工程と、この多結晶シリコン膜をゲート電極形状に加工する工程と、このゲート電極形状の多結晶シリコン膜の上に多結晶シリコン—ゲルマニウム膜を堆積する工程とからなっている。

【0013】また、この発明の半導体装置にあつては、ゲート絶縁膜上に、多結晶シリコン膜、多結晶シリコン—ゲルマニウム膜、および多結晶高融点金属—半導体合金膜からなる三層構造のゲート電極を有してなる構成とされている。

【0014】また、この発明の半導体装置の製造方法にあつては、半導体基板上にゲート絶縁膜を形成する工程と、このゲート絶縁膜上に多結晶シリコン膜を堆積する工程と、この多結晶シリコン膜をゲート電極形状に加工する工程と、このゲート電極形状の多結晶シリコン膜の上に多結晶シリコン—ゲルマニウム膜を堆積する工程と、この多結晶シリコン—ゲルマニウム膜の上に多結晶高融点金属—シリコン膜を堆積する工程とからなっている。

【0015】また、この発明の半導体装置の製造方法にあつては、半導体基板上にゲート絶縁膜を形成する工程と、このゲート絶縁膜上に多結晶シリコン膜を堆積する工程と、この多結晶シリコン膜をゲート電極形状に加工する工程と、このゲート電極形状の多結晶シリコン膜の上に多結晶シリコン—ゲルマニウム膜を堆積する工程と、この多結晶シリコン—ゲルマニウム膜の上に多結晶高融点金属膜を堆積する工程と、この多結晶高融点金属

膜および前記多結晶シリコン—ゲルマニウム膜により多結晶高融点金属—半導体合金膜を形成する工程とからなっている。

【0016】さらに、この発明の半導体装置の製造方法にあつては、半導体基板上にゲート絶縁膜を形成する工程と、このゲート絶縁膜上に多結晶シリコン膜を堆積する工程と、この多結晶シリコン膜をゲート電極形状に加工する工程と、このゲート電極形状の多結晶シリコン膜の上に多結晶シリコン—ゲルマニウム膜を堆積する工程と、この多結晶シリコン—ゲルマニウム膜上を含む、前記半導体基板の表面に多結晶高融点金属膜を堆積する工程と、この多結晶高融点金属膜と、これに接触する前記多結晶シリコン—ゲルマニウム膜とを反応させて多結晶高融点金属—半導体合金膜を形成する工程と、未反応の前記多結晶高融点金属膜を除去する工程とからなっている。

【0017】

【作用】この発明は、上記した手段により、ゲート電極材料の仕事関数の値をN型多結晶シリコンとP型多結晶シリコンの中間に設定できるようになるため、Sファクタの値が70mV/déc以下のトランジスタを実現することが可能となるものである。

【0018】

【実施例】以下、この発明の実施例について図面を参照して説明する。

【0019】図1は、本発明の第1の実施例にかかるMOS(Metal Oxide Semiconductor)型トランジスタの主要部の断面構造を示すものである。

【0020】すなわち、シリコン基板11上に、約70nm厚のゲート絶縁膜12を介して、たとえば二層構造のゲート電極13が設けられた構成となっている。

【0021】このゲート電極13は、上記ゲート絶縁膜12上に堆積された、たとえば50nm厚の多結晶シリコン膜(Si)13aと、その上に堆積された、たとえば300nm厚の多結晶シリコン—ゲルマニウム膜(SiGe)13bとからなっている。

【0022】ソース、ドレイン領域14、15は、通常のMOS型トランジスタと同様に、ゲート電極13の両側の、上記シリコン基板11の表面領域にそれぞれ配置され、図示していない金属膜により各電極が外部に引き出される。

【0023】ゲート電極13の導電型としては、所望のしきい値電圧によってN型またはP型が選ばれる。

【0024】また、多結晶シリコン膜は、粒径が小さいほど、その上に堆積する多結晶シリコン—ゲルマニウム膜を安定に成膜できるため、粒径の小さい極限では非晶質膜の場合もある。

【0025】このように、ゲート電極13を、ゲート絶縁膜12側より多結晶シリコン膜13aおよび多結晶シ

10

20

30

40

50

リコン-ゲルマニウム膜13bを順に堆積してなる二層構造とすることにより、ゲート電極材料の仕事関数の値をN型多結晶シリコンとP型多結晶シリコンの中間に設定できるようになる。

【0026】この結果、シリコン基板11の不純物濃度が低い場合においても、トランジスタのしきい値電圧を所定の値とすることが可能となる。

【0027】ここで、従来より、ゲート電極に多結晶シリコン-ゲルマニウム膜を用いて、その仕事関数を変えるというアイデアはあった（たとえば、King, T., et al. "A variable-work-function polycrystalline-Si- α -Ge α gate material for submicrometer CMOS technology", IEEE Electron Device Lett., EDL-12, no. 10, p. 533, Oct. 1991）。

【0028】しかしながら、ゲート電極にN型多結晶シリコン-ゲルマニウム膜を用いた場合、伝導帯のバンド端エネルギーが変化しないため、仕事関数は通常が多結晶シリコンの場合と変わらない。

【0029】また、P型多結晶シリコン-ゲルマニウム膜のゲート電極では仕事関数の変化は存在するものの、nMOSTランジスタを用いようとする場合には、N型のゲート電極の方がしきい値電圧を0.3V~0.5Vという所定の値に設定しやすい。

【0030】このような理由により、一般には、ゲート電極に多結晶シリコン-ゲルマニウム膜は使われていない。

【0031】ところが、多結晶シリコン-ゲルマニウム膜を多結晶シリコン膜を介してゲート絶縁膜上に堆積することで、上記の理由を解決できることが分かった。

【0032】これは、シリコン-ゲルマニウムをシリコン上にエピタキシャル成長させると、格子定数の不整合によりゲート絶縁膜上のシリコンの伝導帯エネルギーが変化することを利用するものである。

【0033】次に、図2ないし図4を参照して、図1に示したMOS型トランジスタの製造方法について説明する。

【0034】たとえば、50 Ω cmないし100 Ω cmのP型シリコン基板11の表面に、まず、0.2 μ m厚程度の熱酸化膜21を形成する。そして、通常のフォトリソグラフィ工程により、pMOSTランジスタ領域の熱酸化膜21を選択的に剥離し、引き続いてpMOSTランジスタ領域にN型不純物をイオン注入する。

【0035】この後、図示していないレジストを剥離し、1190℃の窒素および酸素の混合雰囲気中で、1時間ないし2時間程度の熱拡散を行うことにより、pMOSTランジスタ領域に、表面濃度が5E16 (5 \times 10¹⁶) cm⁻²で、接合深さが2 μ m程度のNウェル拡散

層22を形成する（以上、図2(a)）。

【0036】次いで、シリコン基板11の表面の熱酸化膜21を全面的に剥離し、改めて0.1 μ m厚程度の熱酸化膜23を全面に形成し、さらに0.15 μ m厚程度の多結晶シリコン膜24、および0.2 μ m厚程度のシリコン窒化膜25を、通常の化学蒸着法により一様に堆積する。

【0037】そして、nMOST、pMOSTランジスタの活性領域、基板コンタクトないしウェルコンタクト領域をフォトリソグラフィ工程によりレジスト（図示していない）で覆い、方向性のプラズマエッチングでシリコン窒化膜25をエッチングする。

【0038】このエッチングは、多結晶シリコン膜24をストップとして行われ、シリコン基板11へのダメージが入らないように考慮される（以上、図2(b)）。

【0039】次いで、フォトリソグラフィ工程によりpMOSTランジスタ領域をレジスト（図示していない）で覆い、このレジストとシリコン窒化膜25とをマスクとして、nMOSTランジスタ領域にP型不純物のチャネルストップイオン注入を行い、イオン注入層26を形成する。

【0040】この際の加速電圧およびドーズ量は、イオン注入層26の最終的な不純物濃度が1E17~5E17 (1 \times 10¹⁷~5 \times 10¹⁷) cm⁻³、深さが1 μ m程度となるように調整されることが望ましい。

【0041】今度は、フォトリソグラフィ工程によりnMOSTランジスタ領域をレジスト（図示していない）で覆い、このレジストとシリコン窒化膜25とをマスクとして、pMOSTランジスタ領域にN型不純物のチャネルストップイオン注入を行い、イオン注入層27を形成する。

【0042】この際の加速電圧およびドーズ量は、イオン注入層27の最終的な不純物濃度が1E17~5E17 (1 \times 10¹⁷~5 \times 10¹⁷) cm⁻³、深さが1 μ m程度となるように調整されることが望ましい（以上、図2(c)）。

【0043】次いで、熱酸化を行い、シリコン窒化膜25をマスクとして、素子分離領域に0.5 μ mないし0.9 μ m厚のフィールド絶縁膜28を形成する。

【0044】そして、シリコン窒化膜25を剥離した後、さらにシリコン基板11の表面を0.1 μ m厚程度酸化させ、前酸化膜29を形成する（以上、図3(a)）。

【0045】次いで、前酸化膜29を剥離し、10nm厚前後の犠牲酸化膜30を熱酸化により形成した後、nMOST、pMOSTランジスタのそれぞれの活性領域に必要な不純物をイオン注入し、P層31、N層32をそれぞれ形成する。

【0046】この際の不純物のドーズ量および加速電圧は、トランジスタの使用条件などによってまちまちであ

るが、特にSファクタを改善したい場合、製造工程終了後のチャンネル不純物のピーク濃度が $1E17(1 \times 10^{17}) \text{ cm}^{-3}$ を越えないように注意すべきである。

【0047】この条件では、通常多結晶シリコン膜を用いたゲート電極の場合にはしきい値電圧が低くなり過ぎるが、本発明によるゲート電極構造を用いることにより、所望のしきい値電圧を得ることができる(以上、図3(b))。

【0048】次いで、犠牲酸化膜30を剥離し、清浄なシリコン面を露出させた後、70nm厚のゲート絶縁膜12を形成する。

【0049】ゲート絶縁膜12の膜厚は70nmに限らないが、100nm厚以下であることが望ましい。

【0050】そして、このゲート絶縁膜12上に、たとえば50nm厚の多結晶シリコン膜13aを化学蒸着法により堆積する。

【0051】多結晶シリコン膜13aの膜厚は、その膜質の違いにより、製造工程終了後、ゲート絶縁膜12に接した場所でのバンド構造が変化するため、50nm厚よりも多少前後させた方がよい場合もある。

【0052】さらに、その多結晶シリコン膜13a上に、50nm厚前後の絶縁膜35を堆積する。

【0053】この絶縁膜35としては、たとえばシリコン窒化膜が望ましい(以上、図3(c))。

【0054】次いで、絶縁膜35および多結晶シリコン膜13aをプラズマエッチングし、上記したゲート電極13の第1層目を形成する。

【0055】この際、多結晶シリコン膜13aのエッチングは、ゲート絶縁膜12をストップとして行われ、ゲート電極13以外の領域では、ゲート絶縁膜12およびフィールド絶縁膜28の表面が露出される。

【0056】引き続き、絶縁膜35および多結晶シリコン膜13aをマスクとして、nMOSトランジスタ領域に、実効チャンネル長を縮小するための低濃度N⁻拡散層36をイオン注入により形成する。

【0057】通常、30keVの加速電圧で、かつ $1E13(1 \times 10^{13}) \text{ cm}^{-2}$ 程度のドーズ量で、リンをイオン注入する。

【0058】このイオン注入により、不純物がシリコン基板11中のチャンネル領域に到達するのを防ぐには、多結晶シリコン膜13aだけでは膜厚が薄いので、絶縁膜35を堆積するようにしている(以下、図4(a))。

【0059】なお、上記の製造方法にあつては、低濃度N⁻拡散層36を特に形成しない場合もある。

【0060】その場合、図3(c)の工程において、絶縁膜35を多結晶シリコン膜13aの上に堆積する必要がなくなるため、その分、工程を簡略できる。

【0061】次いで、絶縁膜35を加熱磷酸溶液などで剥離し、シリコン面が露出した多結晶シリコン膜13aの上に、低圧化学蒸着法により0.3μm厚程度の多結

晶シリコン-ゲルマニウム膜13bを選択的にエピタキシャル成長させ、上記したゲート電極13の第2層目を形成する。

【0062】この際の成膜は、多結晶シリコン-ゲルマニウム膜13bの格子を、その下の多結晶シリコン膜13aに合わせて成長させるように注意する。

【0063】また、成膜の際、ガス中にP型ないしN型不純物となるガスを混ぜ、多結晶シリコン-ゲルマニウム膜13bおよびその下の多結晶シリコン膜13aに、高濃度(たとえば、 $1E19(1 \times 10^{19}) \text{ cm}^{-3}$ 以上)のドーピングを行う。

【0064】多結晶シリコン-ゲルマニウム膜13bにおける組成比は、トランジスタの所望のしきい値電圧によるが、しきい値電圧を0.2V以上シフトさせるような顕著な効果を得るためには、ゲルマニウムが50%ないし60%程度必要となる(以上、図4(b))。

【0065】次いで、多結晶シリコン-ゲルマニウム膜13bをマスクとして、ソース、ドレイン領域14、15に不純物をイオン注入し、熱拡散して高濃度のN型拡散層37およびP型拡散層38を形成する。

【0066】通常、N型拡散層37の形成ためには、ヒ素を50keVの加速電圧、かつ $5E15(5 \times 10^{15}) \text{ cm}^{-2}$ のドーズ量で、P型拡散層38の形成ためには、ボロンを35keVの加速電圧、かつ $5E15(5 \times 10^{15}) \text{ cm}^{-2}$ のドーズ量で、それぞれイオン注入する。

【0067】熱拡散工程は、800℃の温度で、1時間程度である(以下、図4(c))。

【0068】これ以降の工程は、通常MOS型トランジスタの保護絶縁膜および配線の形成が、従来と同様に行われることになる。

【0069】次に、この発明の第2の実施例について説明する。

【0070】図5は、本発明の第2の実施例にかかるnMOS型トランジスタの主要部の断面構造を示すものである。

【0071】この場合、シリコン基板111上に、約70nm厚のゲート絶縁膜112を介して、たとえば50nm厚の多結晶シリコン膜113aと、300nm厚の多結晶シリコン-ゲルマニウム膜113bとからなる二層構造のゲート電極113が設けられるとともに、シリコン基板111内に、P型領域111aとN型領域111bとが形成された構成となっている。

【0072】P型領域111aの、シリコン基板111の表面からの深さは、通常のウェルよりも浅く、たとえば0.2μm前後となるように調整される。

【0073】これにより、チャンネルの直下では、ゲート電極113の影響によって形成される空乏領域、およびP型領域111aとN型領域111bとのPN接合によって生じる空乏領域が接続され、Sファクタが良好な値

となる。

【0074】次に、図6ないし図8を参照して、図5に示したnMOS型トランジスタの製造方法について説明する。

【0075】たとえば、 $50\Omega\text{cm}$ ないし $100\Omega\text{cm}$ のN型シリコン基板111の表面に、まず、 $0.2\mu\text{m}$ 厚程度の熱酸化膜121を形成する。そして、通常のフォトリソグラフィ工程により、pMOSTランジスタ領域の熱酸化膜121を選択的に剥離し、引き続いてpMOSTランジスタ領域にP型不純物をイオン注入する。

【0076】この後、図示していないレジストを剥離し、 1190°C の窒素および酸素の混合雰囲気中で、1時間ないし2時間程度の熱拡散を行うことにより、pMOSTランジスタ領域に、表面濃度が $5\text{E}16(5\times 10^{16})\text{cm}^{-2}$ で、接合深さが $2\mu\text{m}$ 程度のPウェル拡散層122を形成する(以上、図6(a))。

【0077】次いで、シリコン基板111の表面の熱酸化膜121を全面的に剥離し、改めて $0.1\mu\text{m}$ 厚程度の熱酸化膜123を全面に形成し、さらに $0.15\mu\text{m}$ 厚程度の多結晶シリコン膜124、および $0.2\mu\text{m}$ 厚程度のシリコン窒化膜125を、通常の化学蒸着法により一様に堆積する。

【0078】そして、nMOS、pMOSTランジスタの活性領域、基板コンタクトないしウェルコンタクト領域をフォトリソグラフィ工程によりレジスト(図示していない)で覆い、方向性のプラズマエッチングでシリコン窒化膜125をエッチングする。

【0079】このエッチングは、多結晶シリコン膜124をストップパとして行われ、シリコン基板111へのダメージが入らないように考慮される(以上、図6(b))。

【0080】次いで、フォトリソグラフィ工程によりpMOSTランジスタ領域をレジスト(図示していない)で覆い、このレジストとシリコン窒化膜125とをマスクとして、nMOSTランジスタ領域にP型不純物のチャネルストップイオン注入を行い、イオン注入層126を形成する。

【0081】この際の加速電圧およびドーズ量は、イオン注入層126の最終的な不純物濃度が $1\text{E}17\sim 5\text{E}17(1\times 10^{17}\sim 5\times 10^{17})\text{cm}^{-3}$ 、深さが $1\mu\text{m}$ 程度となるように調整されることが望ましい。

【0082】今度は、フォトリソグラフィ工程によりnMOSTランジスタ領域をレジスト(図示していない)で覆い、このレジストとシリコン窒化膜125とをマスクとして、pMOSTランジスタ領域にN型不純物のチャネルストップイオン注入を行い、イオン注入層127を形成する。

【0083】この際の加速電圧およびドーズ量は、イオン注入層127の最終的な不純物濃度が $1\text{E}17\sim 5\text{E}17(1\times 10^{17}\sim 5\times 10^{17})\text{cm}^{-3}$ 、深さが $1\mu\text{m}$

程度となるように調整されることが望ましい。

【0084】この場合、イオン注入層126は後に接地電位に、イオン注入層127は後に電源電圧に接続されるため、シリコン基板111が接地電位に接続されるような場合には、このシリコン基板111とイオン注入層127との間を、図示の如く、一定の距離Dだけ引き離して電氣的絶縁を図る必要がある(以上、図6(c))。

【0085】次いで、熱酸化を行い、シリコン窒化膜125をマスクとして、素子分離領域に $0.5\mu\text{m}$ ないし $0.9\mu\text{m}$ 厚のフィールド絶縁膜128を形成する。

【0086】そして、シリコン窒化膜125を剥離した後、さらにシリコン基板111の表面を $0.1\mu\text{m}$ 厚程度酸化させ、前酸化膜129を形成する(以上、図7(a))。

【0087】次いで、前酸化膜129を剥離し、 10nm 厚前後の犠牲酸化膜(図示していない)を熱酸化により形成した後、一旦、この犠牲酸化膜を剥離して清浄なシリコン面を露出させる。そして、その上に、 70nm 厚のゲート絶縁膜112を形成する。

【0088】ゲート絶縁膜112の膜厚は 70nm に限らないが、 100nm 厚以下であることが望ましい。

【0089】そして、このゲート絶縁膜112上に、たとえば 50nm 厚の多結晶シリコン膜113aを化学蒸着法により堆積する。

【0090】多結晶シリコン膜113aの膜厚は、その膜質の違いにより、製造工程終了後、ゲート絶縁膜112に接した場所でのバンド構造が変化するため、 50nm 厚よりも多少前後させた方が良い場合もある。

【0091】さらに、その多結晶シリコン膜113a上に、 50nm 厚前後の絶縁膜135を堆積する(以上、図7(b))。

【0092】次いで、絶縁膜135および多結晶シリコン膜113aをプラズマエッチングし、上記したゲート電極113の第1層目を形成する。

【0093】引き続き、絶縁膜135および多結晶シリコン膜113aをマスクとして、nMOSTランジスタ領域に、実効チャネル長を縮小するための低濃度N⁻拡散層136をイオン注入により形成する。

【0094】通常、 30keV の加速電圧で、かつ $1\text{E}13(1\times 10^{13})\text{cm}^{-2}$ 程度のドーズ量で、リンをイオン注入する(以上、図7(c))。

【0095】次いで、絶縁膜135を剥離し、多結晶シリコン膜113aの上に、低圧化学蒸着法により $0.3\mu\text{m}$ 厚程度の多結晶シリコン-ゲルマニウム膜113bを選択的にエピタキシャル成長させ、上記したゲート電極113の第2層目を形成する。

【0096】この際、ガス中にP型ないしN型不純物となるガスを混ぜ、多結晶シリコン-ゲルマニウム膜113bおよびその下の多結晶シリコン膜113aに、高濃

11

度(たとえば、 $1E19(1 \times 10^{19}) \text{ cm}^{-3}$ 以上)のドーピングを行う(以上、図8(a))。

【0097】次いで、nMOSTランジスタ領域の全面に、高加速電圧でP型不純物をイオン注入し、nMOSTランジスタ領域のシリコン基板111中にP型領域111aを形成する。

【0098】その際、ゲート電極113を通して、ゲート電極113の直下にもイオン注入がなされる。

【0099】この場合、イオン注入による不純物分布のピークが、ゲート絶縁膜112の直ぐ下になるよう、加速電圧を調整する必要がある。

【0100】具体的には、たとえば 110 keV の加速電圧で、かつ $2E12(2 \times 10^{12}) \text{ cm}^{-2}$ ないし $4E12(4 \times 10^{12}) \text{ cm}^{-2}$ 程度のドーズ量で、ボロンをイオン注入する。

【0101】これは、製造工程終了後に、ゲート電極113の直下で、深さが $0.2 \mu\text{m}$ 、濃度が $5E16(5 \times 10^{16}) \text{ cm}^{-3}$ となるようにするためである。

【0102】P型領域111aは、nMOSTランジスタ領域の、フィールド絶縁膜128の下に形成されたイオン注入層126と自動的に接続し、通常のP型拡散層で形成される基板コンタクトによって基板電位の供給が可能である。

【0103】引き続き、pMOSTランジスタ領域の全面に、高加速電圧でN型不純物をイオン注入し、pMOSTランジスタ領域のシリコン基板111中にN型領域111bを形成する。

【0104】その際、ゲート電極113を通して、ゲート電極113の直下にもイオン注入がなされる。

【0105】この場合、イオン注入による不純物分布のピークが、ゲート絶縁膜112の直ぐ下になるよう、加速電圧を調整する必要がある。

【0106】具体的には、たとえば 320 keV の加速電圧で、かつ $2E12(2 \times 10^{12}) \text{ cm}^{-2}$ ないし $4E12(4 \times 10^{12}) \text{ cm}^{-2}$ 程度のドーズ量で、リンをイオン注入する。

【0107】これは、製造工程終了後に、ゲート電極113の直下で、深さが $0.2 \mu\text{m}$ 、濃度が $5E16(5 \times 10^{16}) \text{ cm}^{-3}$ となるようにするためである。

【0108】N型領域111bは、pMOSTランジスタ領域の、フィールド絶縁膜128の下に形成されたイオン注入層127と自動的に接続し、通常のN型拡散層で形成される基板コンタクトによって基板電位の供給が可能である(以上、図8(b))。

【0109】次いで、多結晶シリコン-ゲルマニウム膜113bをマスクとして、ソース、ドレイン領域114、115に不純物をイオン注入し、熱拡散して高濃度のN型拡散層137およびP型拡散層138を形成する。

【0110】通常、N型拡散層137の形成ためには、

12

ヒ素を 50 keV の加速電圧、かつ $5E15(5 \times 10^{15}) \text{ cm}^{-2}$ のドーズ量で、P型拡散層138の形成ためには、ボロンを 35 keV の加速電圧、かつ $5E15(5 \times 10^{15}) \text{ cm}^{-2}$ のドーズ量で、それぞれイオン注入する。

【0111】熱拡散工程は、 800°C の温度で、1時間程度である(以下、図8(c))。

【0112】これ以降の工程は、通常のnMOST型ランジスタの保護絶縁膜および配線の形成が、従来と同様にして行われることになる。

【0113】次に、この発明の第3の実施例について説明する。

【0114】図9は、本発明の第3の実施例にかかるMOST型ランジスタの主要部の断面構造を示すものである。

【0115】この場合、シリコン基板211上に、約 70 nm 厚のゲート絶縁膜212を介して、たとえば三層構造のゲート電極213が設けられた構成となっている。

【0116】このゲート電極213は、上記ゲート絶縁膜212上に堆積された、たとえば 50 nm 厚の多結晶シリコン膜213aと、その上に堆積された、たとえば 300 nm 厚の多結晶シリコン-ゲルマニウム膜213bと、さらにその上に貼り付けられた、たとえば金属膜(Metal)213cとからなっている。

【0117】金属膜213cは、ゲート電極213の抵抗値を低下させる効果があるため、このような構成のゲート電極213によればスイッチ時間を短縮できる。

【0118】金属膜213cを、多結晶シリコン-ゲルマニウム膜213b上に成膜することは、たとえば自己整合シリサイドーション技術を用いることにより、容易に可能である。

【0119】次に、図10を参照して、図9に示したMOST型ランジスタの製造方法について説明する。

【0120】たとえば、図2(a)ないし図4(c)にて示したのと同様の工程により、多結晶シリコン-ゲルマニウム膜213b、およびN型拡散層237およびP型拡散層238を形成した後、 $0.2 \mu\text{m}$ 厚程度の絶縁膜(図示していない)を堆積する。

【0121】そして、通常の方法性プラズマエッチングにより、ゲート電極213の側面に、絶縁膜の側壁241を形成する。

【0122】この後、希弗酸などの溶液を用いて、ゲート電極213上では多結晶シリコン-ゲルマニウム膜213bの表面を、またソース、ドレイン領域214、215上ではN型拡散層237およびP型拡散層238の表面をそれぞれ露出させ、その上に 30 nm ないし 70 nm 厚の高融点金属膜242を堆積する。

【0123】高融点金属膜242の形成には、たとえばシリサイド化した後の抵抗値が最も低いチタンが主に用

いられるが、この他、ニッケル、コバルト、白金、パラジウムなどを用いることもできる（以上、図10（a））。

【0124】次いで、650℃の、アルゴンガスまたはアルゴンと窒素の混合ガス雰囲気中で、30秒ほどアニールし、高融点金属膜242とシリコンもしくはシリコン-ゲルマニウムとを反応させ、ゲート電極213およびソース、ドレイン領域214、215の表面に、60nmないし150nm厚のシリサイド層243を形成する。

【0125】このとき、シリコンもしくはシリコン-ゲルマニウムと接触しない高融点金属膜242、つまりフィールド酸化膜228および側壁241上の高融点金属膜242は未反応のまま残る。

【0126】そして、この未反応の高融点金属膜242を、硫酸と過酸化水素水の混合水溶液、または水酸化アンモニウムと過酸化水素水の混合水溶液を用いて選択的に除去する（以上、図10（b））。

【0127】こうして、多結晶シリコン-ゲルマニウム膜213b上に、シリサイド層243なる金属膜213cが形成されることで、三層構造のゲート電極213が構成される。

【0128】これ以降の工程は、通常MOS型トランジスタの保護絶縁膜および配線の形成が、従来と同様に行われることになる。

【0129】なお、上記した第3の実施例にかかるMOS型トランジスタにおいては、化学蒸着法によって多結晶シリコン-ゲルマニウム膜213b上に選択的に金属膜213cを堆積することによっても、製造することができる。

【0130】たとえば、図4（c）に示したような、多結晶シリコン膜13aと多結晶シリコン-ゲルマニウム膜13bとからなる積層構造のゲート電極13を形成した後、600℃ないし700℃の化学蒸着炉中で材料ガスを気相分解し、上記ゲート電極13上に選択的にタングステンシリサイドなどのシリサイド膜を蒸着するようによれば良い。

【0131】この際、ゲート絶縁膜12上には、シリサイド膜が堆積しないように注意して行われる。

【0132】次に、この発明の第4の実施例について説明する。

【0133】図11は、本発明の第4の実施例にかかるMOS型トランジスタの主要部の断面構造を示すものである。

【0134】この場合、絶縁体300の上にSOI（Silicon on Insulator）技術を用いて作られた基板311上に、約70nm厚のゲート絶縁膜312を介して、たとえば50nm厚の多結晶シリコン膜313aと、300nm厚の多結晶シリコン-ゲルマニウム膜313bとからなる二層構造のゲート電極31

3が設けられた構成となっている。

【0135】通常、チャネル直下の基板領域がすべて空乏化しているときにSファクタが良好な値となることが知られており、このため基板311の膜厚は0.2μm以下であることが望ましい。

【0136】このような構成のMOS型トランジスタは、ゲート電極313を第1の実施例と同様の方法により製作すれば、従来のSOS（Silicon on Sapphire）技術により容易に作製できる。

10 【0137】上記したように、ゲート電極材料の仕事関数の値をN型多結晶シリコンとP型多結晶シリコンの中間に設定できるようにしている。

【0138】すなわち、ゲート電極を、多結晶シリコン膜上に多結晶シリコン-ゲルマニウム膜を積層してなる積層構造とするようにしている。これにより、ゲート絶縁膜上のシリコンの伝導帯エネルギーの変化により、ゲート絶縁膜に作用するワークハンクションをシリコンとシリコン-ゲルマニウムとの間に設定できるようになるため、Sファクタの値が70mV/dec以下のトランジスタを実現することが可能となる。したがって、基板のチャネル部の不純物濃度が $5 \times 10^{16} \text{ cm}^{-3}$ のような低濃度であっても、所定のしきい値電圧を有するMOS型トランジスタを作製でき、より消費電力の小さなLSIを実現し得るものである。

20 【0139】なお、上記第1ないし第4の実施例においては、いずれも多結晶シリコン-ゲルマニウム膜を多結晶シリコン膜の上面にのみ形成する場合について説明したが、これに限らず、たとえば図12に示すように、多結晶シリコン膜413aを覆うように多結晶シリコン-ゲルマニウム膜413bを設けてなる構造としても差し支えない。

【0140】要するに、チャネル上の主たる領域上のゲート電極413が、多結晶シリコンと多結晶シリコン-ゲルマニウムとの積層構造を有し、基板411上にゲートの絶縁膜412を介して設けられるものであればよい。

【0141】また、MOS型トランジスタに限らず、各種のMIS構造を有する半導体装置に適用できる。

【0142】その他、この発明の要旨を変えない範囲において、種々変形実施可能なことは勿論である。

【0143】

【発明の効果】以上、詳述したようにこの発明によれば、基板の不純物濃度を低下させても所定のしきい値電圧を維持でき、より低い消費電力を達成することが可能な半導体装置およびその製造方法を提供できる。

【図面の簡単な説明】

【図1】この発明の第1の実施例にかかるMOS型トランジスタの要部の構造を示す断面図。

【図2】同じく、MOS型トランジスタの製造方法を説明するために示す第1の断面図。

15

【図3】同じく、MOS型トランジスタの製造方法を説明するために示す第2の断面図。

【図4】同じく、MOS型トランジスタの製造方法を説明するために示す第3の断面図。

【図5】この発明の第2の実施例にかかるnMOS型トランジスタの要部の構造を示す断面図。

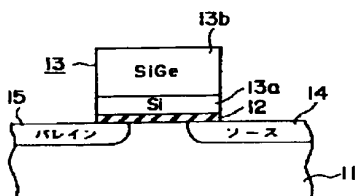
【図6】同じく、nMOS型トランジスタの製造方法を説明するために示す第1の断面図。

【図7】同じく、nMOS型トランジスタの製造方法を説明するために示す第2の断面図。

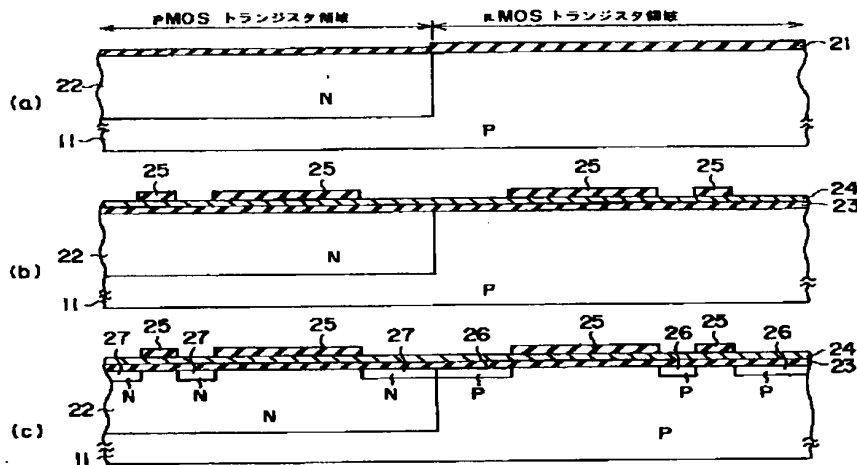
【図8】同じく、nMOS型トランジスタの製造方法を説明するために示す第3の断面図。

【図9】この発明の第3の実施例にかかるMOS型トランジスタの要部の構造を示す断面図。

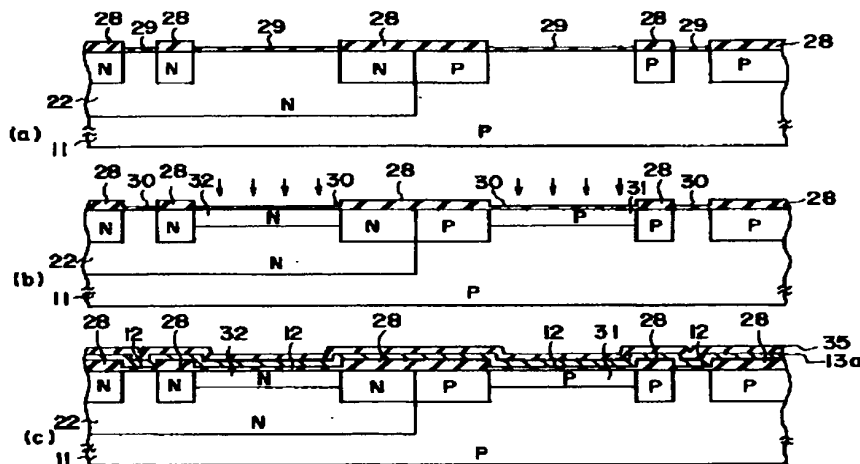
【図1】



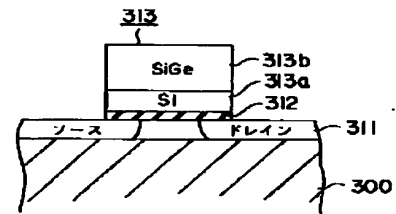
【図2】



【図3】



【図11】



10

16

【図10】同じく、MOS型トランジスタの製造方法を説明するために示す断面図。

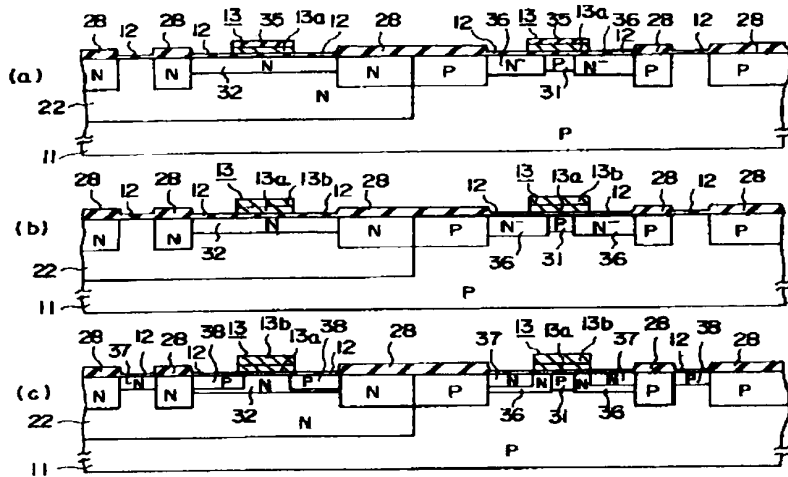
【図11】この発明の第4の実施例にかかるMOS型トランジスタの要部の構造を示す断面図。

【図12】この発明の他の実施例にかかるMOS型トランジスタの要部の構造を示す断面図。

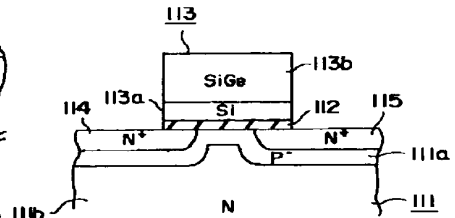
【符号の説明】

11, 111, 211...シリコン基板、12, 112, 212, 312, 412...ゲート絶縁膜、13, 113, 213, 313, 413...ゲート電極、13a, 113a, 213a, 313a, 413a...多結晶シリコン膜、13b, 113b, 213b, 313b, 413b...多結晶シリコンゲルマニウム膜、213c...金属膜、311, 411...基板。

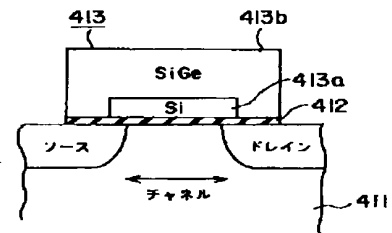
【図4】



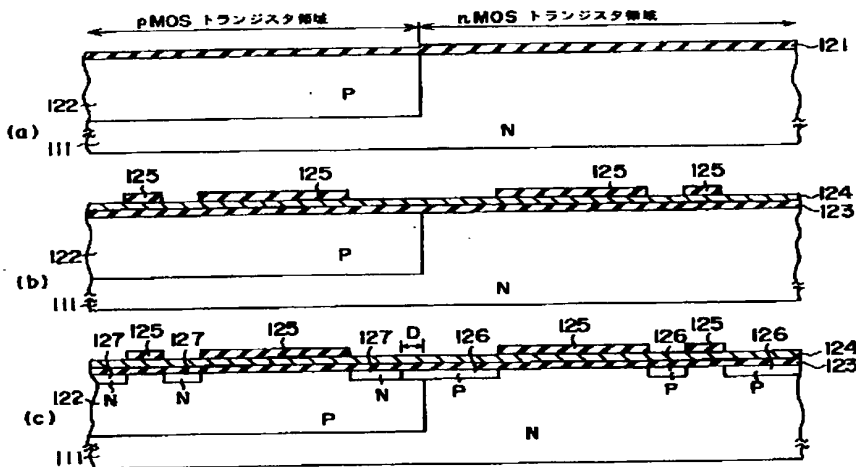
【図5】



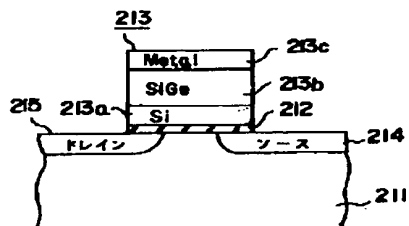
【図12】



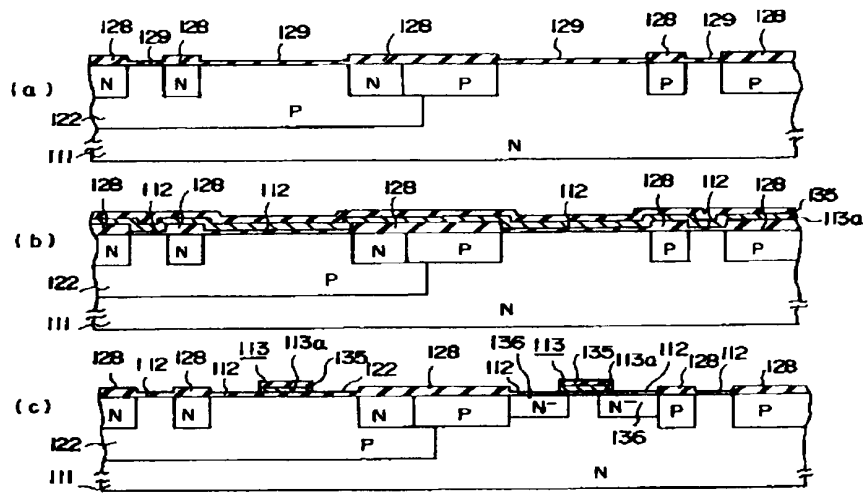
【図6】



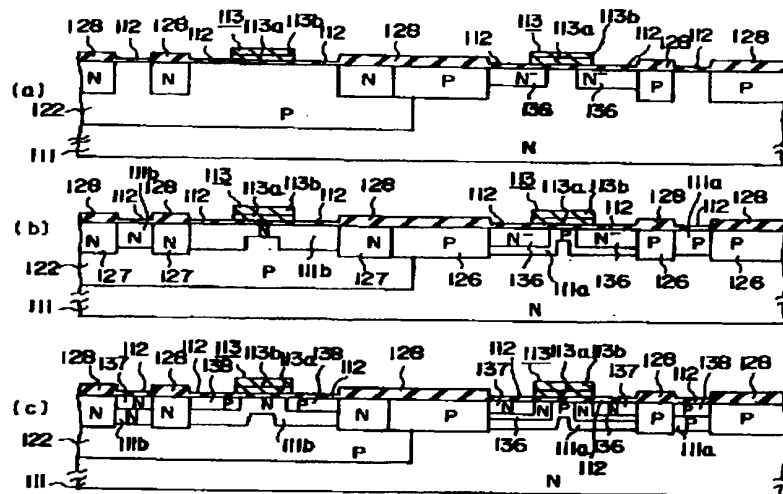
【図9】



【図7】



【図8】



【図10】

